

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-028092

(43)Date of publication of application : 30.01.1992

(51)Int.Cl. G11C 11/413
G11C 11/408
H01L 27/10
H03M 7/00

(21)Application number : 02-131428

(71)Applicant : TOSHIBA CORP
TOSHIBA MICRO ELECTRON
KK

(22)Date of filing : 23.05.1990

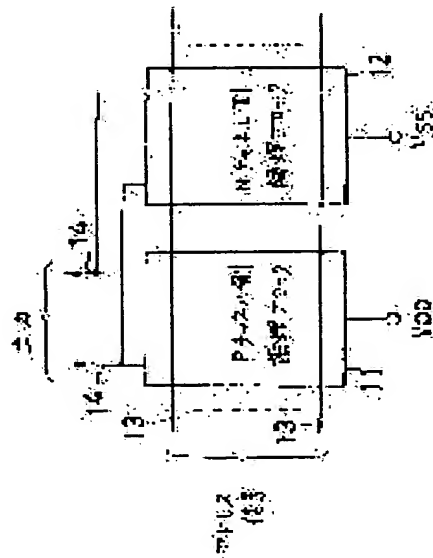
(72)Inventor : KUWANA KIYOHISA

(54) ADDRESS DECODING CIRCUIT

(57)Abstract:

PURPOSE: To reduce the area occupied on a chip by the area required for formation of input wirings by arranging plural input wirings, through which an address signal is transmitted, so that they traverse first and second logic blocks.

CONSTITUTION: A P-channel logic block 11 is provided with several P-channel MISFETs connected in parallel, and an N-channel logic block 12 is provided with several N-channel MISFETs connected in series. Plural address input wirings 13, 13... are so provided that they continuously traverse the P-channel logic block 11 and the N-channel logic block 12, and corresponding outputs of both logic blocks 11 and 12 are connected to plural output wirings 14, 14... on the outside of both logic blocks. Thus, the area occupied on the chip is reduced.



LEGAL STATUS

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-28092

⑤ Int.Cl.⁵ 識別記号 庁内整理番号 ⑬ 公開 平成4年(1992)1月30日
G 11 C 11/413
11/408
H 01 L 27/10 4 8 1 8624-4M
H 03 M 7/00 7259-5J
7323-5L G 11 C 11/34 3 0 2 A
8526-5L 3 5 4 B
審査請求 未請求 請求項の数 3 (全8頁)

⑭ 発明の名称 アドレスデコード回路

⑰ 特 願 平2-131428

⑱ 出 願 平2(1990)5月23日

⑲ 発 明 者 桑 名 清 久 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内
⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
㉑ 出 願 人 東芝マイクロエレクトロニクス株式会社 神奈川県川崎市川崎区駅前本町25番地1
㉒ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

アドレスデコード回路

2. 特許請求の範囲

(1) 第1チャンネル型のMISFETが複数個設けられた第1論理ブロックと、

第2チャンネル型のMISFETが複数個設けられた第2論理ブロックと、

上記第1及び第2論理ブロック内を横断するように配置され、上記第1及び第2論理ブロック内の第1チャンネル型及び第2チャンネル型のMISFETの各ゲートに供給すべきアドレス信号を伝達する複数の入力配線と、

上記第1及び第2の論理ブロックの出力どおしを接続する出力配線と

を具備したことを特徴とするアドレスデコード回路。

(2) 前記第1論理ブロック内にはPチャンネルのMISFETが複数個設けられ、前記第2論理ブロック内にはNチャンネルのMISFETが複数

個設けられている請求項1記載のアドレスデコード回路。

(3) 前記第1論理ブロック内では1つの出力に対して複数のPチャンネルのMISFETが並列接続されており、前記第2論理ブロック内では1つの出力に対して複数のNチャンネルのMISFETが直列接続されている請求項2記載のアドレスデコード回路。

3. 発明の詳細な説明

【発明の目的】

(産業上の利用分野)

この発明はアドレス信号をデコードするNAND回路方式のアドレスデコード回路に係り、特にPチャンネル及びNチャンネルのMISFETを用いて構成されたCMOS構成のアドレスデコード回路に関する。

(従来の技術)

一般に、半導体メモリ装置で使用されるアドレスデコード回路は、Pチャンネルでエンハンスメント型の複数のMISFETからなるPチャンネル

側論理ブロックと、Nチャネルでエンハンスメント型の複数個のMISFETからなるNチャネル側論理ブロックとで構成されている。

第6図は従来のアドレスデコード回路のブロック図であり、Pチャネル側論理ブロック51には正極性の電源電圧 V_{DD} が、Nチャネル側論理ブロック52には0Vの基準電圧 V_{SS} がそれぞれ供給されている。そして、Pチャネル側論理ブロック51及びNチャネル側論理ブロック52内の各MISFETのゲートに供給するためのアドレス信号 $A_0 \sim A_n$ が複数の入力配線53を介して供給される。また、上記両論理ブロック51、52の対応する出力は、両論理ブロック間に存在する配線スペース内で複数の各出力配線54に接続される。このアドレスデコード回路はいわゆるNAND回路方式と呼ばれるものであり、Pチャネル側論理ブロック51内には並列接続された何組かのPチャネルMISFETが、Nチャネル側論理ブロック52内には直列接続された何組かのNチャネルMISFETがそれぞれ設けられており、さらに

る。

第8図は上記従来のアドレスデコード回路を実際に集積化した場合の、上記第7図の部分デコード回路に対応した部分の素子構造を示すパターン平面図である。図において、61は電源電圧 V_{DD} を伝達するアルミニウムで構成された電源配線、62は基準電圧 V_{SS} を伝達するアルミニウムで構成された電源配線、63、64、65はそれぞれ前記PチャネルMISFET QP1、QP2のソース、ドレイン領域となるP型拡散領域、66、67、68はそれぞれ前記NチャネルMISFET QN1、QN2のソース、ドレイン領域及び前記出力配線の一部となるN型拡散領域、69、70はそれぞれ上記各MISFETのゲート電極となるポリシリコン配線、71、72はそれぞれ上記ポリシリコン配線69、70に入力信号IN1、IN2を与えるアルミニウムからなる信号配線、73はPチャネルMISFET QP1、QP2の共通ドレイン領域となる上記P型拡散領域64とNチャネルMISFET QN1のドレイン領域となる上記N

並列接続された1組のPチャネルMISFETと直列接続された1組のNチャネルMISFETとで1個の部分デコード回路が構成されている。従って、このアドレスデコード回路は部分デコード回路の集合で構成されている。

第7図は上記従来のアドレスデコード回路の1つの部分デコード回路の構成を示すものである。前記Pチャネル側論理ブロック51内に設けられた2個のPチャネルMISFET QP1、QP2は、電源電圧 V_{DD} の印加点と出力ノードとの間に並列接続されている。また、前記Nチャネル側論理ブロック52内に設けられた2個のNチャネルMISFET QN1、QN2は、基準電圧 V_{SS} の印加点と上記出力ノードとの間に直列接続されている。そして、PチャネルMISFET QP1とNチャネルMISFET QN1の各ゲートにはアドレス信号IN1が入力され、PチャネルMISFET QP2とNチャネルMISFET QN2の各ゲートにはアドレス信号IN2が入力され、出力ノードからは出力信号OUTが出力され

型拡散領域68をを接続するアルミニウムで構成されたジャンパー配線である。

(発明が解決しようとする課題)

ところで、上記従来のアドレスデコード回路では、第8図のパターン平面図に示すような部分デコード回路がチップ上に多数形成されており、これら各部分デコード回路に対してアドレス信号を供給するための信号配線を論理ブロックの外部に設ける必要があり、そのために広い配線領域が必要になる。また、多数の部分デコード回路の集合でアドレスデコード回路が構成されているため、メモリ容量が増大するにつれて、部分デコード回路のレイアウトが複雑になり、チップ上に占める面積が増加するという問題がある。さらに、各部分デコード回路で出力信号を取り出すために論理ブロック内でジャンパー配線を使用する必要があり、その結果、各部分デコード回路が占める面積が広くなり、特にメモリ容量が増大し、アドレス信号のビット数が多くなると顕著となる。

この発明は上記のような事情を考慮してなされ

たものであり、その目的は、チップ上に占める面積の縮小化を図ることができるアドレスデコード回路を提供することにある。

〔発明の構成〕

(課題を解決するための手段)

この発明のアドレスデコード回路は、

第1チャンネル型のMISFETが複数個設けられた第1論理ブロックと、

第2チャンネル型のMISFETが複数個設けられた第2論理ブロックと、

上記第1及び第2論理ブロック内を横断するように配置され、上記第1及び第2論理ブロック内の第1チャンネル型及び第2チャンネル型のMISFETの各ゲートに供給すべきアドレス信号を伝達する複数の入力配線と、

上記第1及び第2の論理ブロックの出力どおしを接続する出力配線と

を具備したことを特徴とする。

(作用)

アドレス信号を伝達する複数の入力配線を第1

されている。

また、上記Pチャンネル側論理ブロック11及びNチャンネル側論理ブロック12内を連続して横断するように複数のアドレス入力配線13、13、…が設けられている。そして、上記両論理ブロック11、12の対応する出力は、両論理ブロックの外部で複数の各出力配線14、14、…に接続される。

第2図は上記実施例のアドレスデコード回路の1つの部分デコード回路の構成を示すものである。前記Pチャンネル側論理ブロック11内には2個のPチャンネルでエンハンスメント型のMISFET QP1、QP2が設けられており、両MISFETは電源電圧 V_{DD} の印加点と出力配線14との間に並列接続されている。前記Nチャンネル側論理ブロック12内には2個のNチャンネルでエンハンスメント型のMISFET QN1、QN2が設けられており、両MISFETは基準電圧 V_{SS} の印加点と出力配線14との間に直列接続されている。上記PチャンネルMISFET QP1とNチャンネルMISFET QN1の各ゲートにはアドレス信号IN1が与え

及び第2論理ブロック内を横断するように配置することにより、これら入力配線を形成するために必要な領域分だけチップ上に占める面積を縮小することができる。

(実施例)

以下、図面を参照してこの発明を実施例により説明する。

第1図はこの発明に係るアドレスデコード回路のブロック図である。Pチャンネル側論理ブロック11には正極性の電源電圧 V_{DD} が、Nチャンネル側論理ブロック12には0Vの基準電圧 V_{SS} がそれぞれ供給されている。このアドレスデコード回路はいわゆるNAND回路方式と呼ばれるものであり、Pチャンネル側論理ブロック11内には並列接続された何組かのPチャンネルMISFETが、Nチャンネル側論理ブロック12内には直列接続された何組かのNチャンネルMISFETがそれぞれ設けられており、さらに並列接続された1組のPチャンネルMISFETと直列接続された1組のNチャンネルMISFETとで1個の部分デコード回路が構成

られる入力配線13-1が接続され、PチャンネルMISFET QP2とNチャンネルMISFET QN2の各ゲートにはアドレス信号IN2が与えられる入力配線13-2が接続されている。

ここで、上記両入力配線13-1、13-2は前記Pチャンネル側論理ブロック11及びNチャンネル側論理ブロック12内を横断するように設けられているため、従来のように多数の各部分デコード回路に対してアドレス信号を供給するための広いアドレス入力配線領域は不要である。

第3図は上記実施例のアドレスデコード回路において、アドレス信号がA0、 $\overline{A0}$ 、～A2、 $\overline{A2}$ からなる3ビットである場合の、全体の構成を示す回路図である。この場合、Pチャンネル側論理ブロックは11-1と11-2の二つが設けられ、Nチャンネル側論理ブロックも12-1と12-2の二つが設けられる。上記一方のPチャンネル側論理ブロック11-1内には、それぞれソース、ドレイン間が並列に接続されたPチャンネルでエンハンスメント型の各3個のMISFET QP11、QP12、

Q P13、Q P14、Q P15、Q P16、Q P17、Q P18、Q P19、Q P20、Q P21、Q P22 が設けられている。上記M I S F E T Q P11、Q P12、Q P13 の共通ソースは電源電圧 V_{DD} の印加点に接続され、共通ドレインは出力信号 Q 1 を得る出力配線 14 a に接続されている。同様に、上記M I S F E T Q P14、Q P15、Q P16 の共通ソースは電源電圧 V_{DD} の印加点に接続され、これらの共通ドレインは出力信号 Q 2 を得る出力配線 14 b に接続されている。同様に、上記M I S F E T Q P17、Q P18、Q P19 の共通ソースは電源電圧 V_{DD} の印加点に接続され、これらの共通ドレインは出力信号 Q 3 を得る出力配線 14 c に接続されている。同様に、上記M I S F E T Q P20、Q P21、Q P22 の共通ソースは電源電圧 V_{DD} の印加点に接続され、これらの共通ドレインは出力信号 Q 3 を得る出力配線 14 d に接続されている。

上記Pチャネル側論理ブロック11-1に隣接して上記一方のNチャネル側論理ブロック12-1が

14 h にそれぞれ接続されている。

このNチャネル側論理ブロック12-2に隣接して他方のPチャネル側論理ブロック11-2が設けられており、この論理ブロック11-2内にはそれぞれソース、ドレイン間が並列に接続されたPチャネルでエンハンスメント型の各3個のM I S F E T Q P31、Q P32、Q P33、Q P34、Q P35、Q P36、Q P37、Q P38、Q P39、Q P40、Q P41、Q P42 が設けられている。上記M I S F E T Q P31、Q P32、Q P33 の共通ソースは電源電圧 V_{DD} の印加点に接続され、これらの共通ドレインは上記出力配線 14 e に接続されている。同様に、上記M I S F E T Q P34、Q P35、Q P36 の共通ソースは電源電圧 V_{DD} の印加点に接続され、これらの共通ドレインは上記出力配線 14 f に接続されている。同様に、上記M I S F E T Q P37、Q P38、Q P39 の共通ソースは電源電圧 V_{DD} の印加点に接続され、これらの共通ドレインは上記出力配線 14 g に接続されている。同様に、上記M I S F E T Q P40、

設けら、この論理ブロック12-1内にはそれぞれソース、ドレイン間が直列に接続されたNチャネルでエンハンスメント型の各3個のM I S F E T Q N11、Q N12、Q N13、Q N14、Q N15、Q N16、Q N17、Q N18、Q N19、Q N20、Q N21、Q N22 が設けられている。そして、上記M I S F E T Q N13、Q N16、Q N19、Q N22 の各ドレインは、上記出力配線 14 a、14 b、14 c、14 d にそれぞれ接続されている。

さらに上記Nチャネル側論理ブロック12-1に隣接して他方のNチャネル側論理ブロック12-2が設けられており、この論理ブロック12-2内にはそれぞれソース、ドレイン間が直列に接続されたNチャネルでエンハンスメント型の各3個のM I S F E T Q N31、Q N32、Q N33、Q N34、Q N35、Q N36、Q N37、Q N38、Q N39、Q N40、Q N41、Q N42 が設けられている。そして、上記M I S F E T Q N33、Q N36、Q N39、Q N42 の各ドレインは、出力信号 Q 5、Q 6、Q 7、Q 8 を得る出力配線 14 e、14 f、14 g、

Q P41、Q P42 の共通ソースは電源電圧 V_{DD} の印加点に接続され、これらの共通ドレインは上記出力配線 14 h に接続されている。

また、上記論理ブロック11-1、12-1、12-2、11-2内を連続して横断するように6本の入力配線 13 a ~ 13 f が設けられている。そして、入力配線 13 a 上を伝達されるアドレス信号 A 0 は、PチャネルM I S F E T Q P20、Q P14、NチャネルM I S F E T Q N14、Q N20、Q N31、Q N37、PチャネルM I S F E T Q P34、Q P40 の各ゲートに供給される。入力配線 13 b 上を伝達されるA 0 の反転アドレス信号は、PチャネルM I S F E T Q P19、Q P11、NチャネルM I S F E T Q N11、Q N17、Q N34、Q N40、PチャネルM I S F E T Q P31、Q P37 の各ゲートに供給される。入力配線 13 c 上を伝達されるアドレス信号 A 1 は、PチャネルM I S F E T Q P21、Q P18、NチャネルM I S F E T Q N18、Q N21、Q N32、Q N35、PチャネルM I S F E T Q P38、Q P41 の各ゲートに供給

される。入力配線13d上を伝達されるA1の反転アドレス信号は、PチャネルMISFET QP15、QP12、NチャネルMISFET QN12、QN15、QN38、QN41、PチャネルMISFET QP32、QP35の各ゲートに供給される。入力配線13e上を伝達されるアドレス信号A2は、NチャネルMISFET QN33、QN36、QN39、QN42、PチャネルMISFET QP33、QP36、QP39、QP42の各ゲートに供給される。また、入力配線13f上を伝達されるA2の反転アドレス信号は、PチャネルMISFET QP22、QP19、QP18、QP13、NチャネルMISFET QN18、QN16、QN19、QN22の各ゲートに供給される。

このような構成の回路において、例えばアドレス信号A0、A1、A2が全て“1”レベルで、かつこれらの反転アドレス信号が全て“0”レベルのときは、Nチャネル側論理ブロック12-2内の直列接続された3個のMISFET QN31、QN32、QN33が全て導通し、出力信号Q8は

“0”レベルになる。このとき、Pチャネル側論理ブロック11-1、11-2内では、上記出力信号Q8を得る出力配線14h以外の各出力配線と電源電圧V_{DD}との間に接続されているいずれか1個のPチャネルのMISFETが導通するため、残りの出力信号Q1～Q7は全て“1”レベルになる。このようにして、上記第3図のアドレスデコード回路はNAND回路方式のアドレスデコード回路として動作する。

第4図は上記第3図のアドレスデコード回路を実際に集積化した場合に、第3図中の一点鎖線で囲まれた領域、すなわち、前記Pチャネル側論理ブロック11-2とNチャネル側論理ブロック12-2の部分の素子構造を示すパターン平面図である。

前記6本の入力配線13a～13fはそれぞれアルミニウムで構成されており、これら入力配線13a～13fと並行するようにそれぞれアルミニウムで構成され、前記電源電圧V_{DD}、基準電圧V_{SS}を伝達する2本の電源配線15、16が配置されている。

また、図中17a～17eはそれぞれ前記PチャネルMISFETのソース、ドレイン領域となるP型拡散領域であり、P型拡散領域17aはコンタクト部18を介して上記電源配線15と接続されている。さらに入力配線13aには各コンタクト部19a、19bを介してポリシリコンからなる各ゲート電極20a、20bが接続されている。上記一方のゲート電極20aは上記P型拡散領域17aと17bとの間に延長されており、この間に前記PチャネルMISFET QP40が形成されている。同様に、上記他方のゲート電極20bは上記P型拡散領域17aと17dとの間に延長されており、この間に前記PチャネルMISFET QP34が形成されている。以下、同様に、入力配線13bには各コンタクト部19c、19dを介してポリシリコンからなる各ゲート電極20c、20dが、入力配線13cには各コンタクト部19e、19fを介してポリシリコンからなる各ゲート電極20e、20fが、入力配線13dには各コンタクト部19g、19hを介してポリシリコンからなる各ゲート電極20g、20hが、入

力配線13eには各コンタクト部19i、19jを介してポリシリコンからなる各ゲート電極20i、20jが、入力配線13fには各コンタクト部19k、19lを介してポリシリコンからなる各ゲート電極20k、20lがそれぞれ接続され、各ゲート電極は前記第3図に示すような回路接続状態に基づいて、対応する一対のP型拡散領域相互間に延長されている。

図中21a～21nはそれぞれ前記NチャネルMISFETのソース、ドレイン領域となるN型拡散領域であり、N型拡散領域21aはコンタクト部22を介して上記電源配線16に接続されている。さらに入力配線13aには各コンタクト部23a、23bを介してポリシリコンからなる各ゲート電極24a、24bが接続されている。上記一方のゲート電極24aは上記N型拡散領域21aと21eとの間に延長されており、この間に前記NチャネルMISFET QN37が形成されている。同様に、上記他方のゲート電極24bは上記N型拡散領域21aと21iとの間に延長されており、この間に前記NチャネルMISFET QN31が形成され

ている。以下、同様に、入力配線13bには各コンタクト部23c、23dを介してポリシリコンからなる各ゲート電極24c、24dが、入力配線13cにはコンタクト部23eを介してポリシリコンからなるゲート電極24eが、入力配線13dにはコンタクト部23fを介してポリシリコンからなるゲート電極24fが、入力配線13fには各コンタクト部23g、23hを介してポリシリコンからなる各ゲート電極24g、24hがそれぞれ接続され、各ゲート電極は前記第3図に示すような回路接続状態に基づいて、対応する一対のN型拡散領域相互間もしくは二対のN型拡散領域相互間に延長されている。

一方、前記出力配線14a～14eはアルミニウムによる配線もしくはアルミニウムによる配線とポリシリコンによる配線とを併用することにより構成されており、例えば出力配線14hはアルミニウムによる配線のみで構成されており、この配線14hはコンタクト部25a、25bを介して上記P型拡散領域17bとN型拡散領域21nとに接続されている。前記出力配線14gはそれぞれアルミニウムによ

て構成されたアルミニウム配線26a、26b及び両アルミニウム配線を接続するポリシリコンによって構成されたポリシリコン配線27aとから構成され、アルミニウム配線26aはコンタクト部25c、25dを介して上記P型拡散領域17cとN型拡散領域21kとに接続されている。前記出力配線14fはそれぞれアルミニウムによって構成されたアルミニウム配線26c、26d及び両アルミニウム配線を接続するポリシリコンによって構成されたポリシリコン配線27bとから構成され、アルミニウム配線26cはコンタクト部25e、25fを介して上記P型拡散領域17dとN型拡散領域21hとに接続されている。前記出力配線14eはそれぞれアルミニウムによって構成されたアルミニウム配線26e、26f及び両アルミニウム配線を接続するポリシリコンによって構成されたポリシリコン配線27cとから構成され、アルミニウム配線26eはコンタクト部25g、25hを介して上記P型拡散領域17eとN型拡散領域21dとに接続されている。

上記のように、アドレス信号を伝達する入力配

線13a～13fを第1及び第2論理ブロック内を横断するように配置したことにより、従来のように入力配線を論理ブロックの外部に形成する場合と比べて、これら入力配線を形成するために必要な領域だけチップ上に占める面積を縮小することができる。また、従来のように、並列接続されたPチャネルMISFETと、直列接続されたNチャネルMISFETとを必ずしも隣接して設ける必要がないためにパターンレイアウトが簡単になり、レイアウト上でもチップ上に占める面積を縮小することができる。さらに、各部分デコード回路で出力信号を取り出すために、論理ブロック内でジャンパー配線を使用する必要がなくなり、その結果、各部分デコード回路が占める面積を小さくすることができる。

第5図は従来とこの発明のアドレスデコード回路におけるチップ上に占める面積を比較した特性図である。従来とこの発明のアドレスデコード回路の面積を比べると、この発明のものでは従来の約半分にすることができる。そして、この関係は

アドレス信号のビット数が増加しても維持されている。

なお、この発明は上記した実施例に限定されるものではなく、種々の変形が可能であることはいうまでもない。例えば、第3図回路ではアドレス信号が3ビットの場合を説明したが、この発明は3ビット以下あるいは以上のものにも当然実施が可能であることはいうまでもない。

〔発明の効果〕

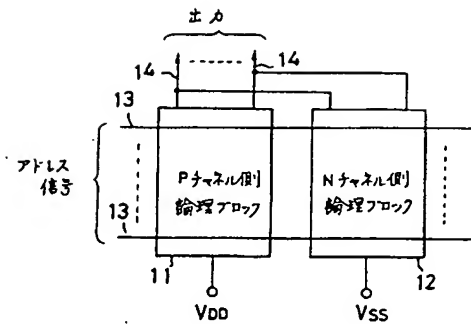
以上、説明したようにこの発明によれば、チップ上に占める面積の縮小化を図ることができるアドレスデコード回路を提供することができる。

4. 図面の簡単な説明

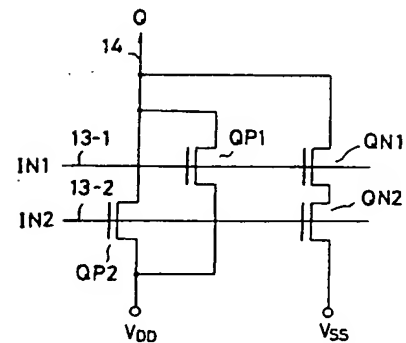
第1図はこの発明に係るアドレスデコード回路のブロック図、第2図は上記実施例のアドレスデコード回路の1つの部分デコード回路の構成を示す回路図、第3図は上記実施例のアドレスデコード回路においてアドレス信号が3ビットの場合の全体の構成を示す回路図、第4図は上記第3図のアドレスデコード回路を集積化した場合の第3図

回路中の一部回路の素子構造を示すパターン平面図、第5図は従来とこの発明のアドレスデコード回路におけるチップ上に占める面積を比較して示す特性図、第6図は従来のアドレスデコード回路のブロック図、第7図は上記従来のアドレスデコード回路の1つの部分デコード回路の構成を示す回路図、第8図は上記第7図の部分デコード回路に対応した部分の素子構造を示すパターン平面図である。

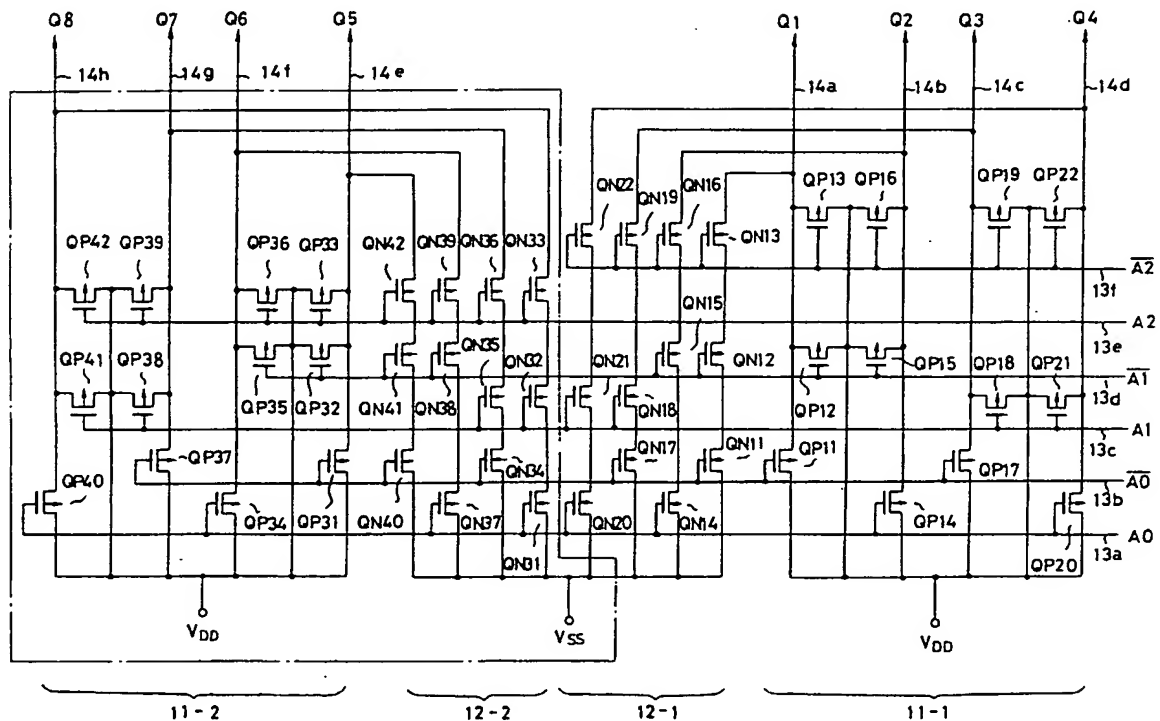
11, 11-1, 11-2... Pチャネル側論理ブロック、12, 12-1, 12-2... Nチャネル側論理ブロック、13, 13a~13f... アドレス入力配線、14, 14a~14h... 出力配線、15, 16... 電源配線、17a~17e... P型拡散領域、18, 19a~19f, 22, 23a~23h... コンタクト部、20a~20f, 24a~24h... ゲート電極、21a~21n... N型拡散領域、QP1, QP2, QP11~QP22, QP31~QP42... PチャネルのMISFET、QN1, QN2, QN11~QN22, QN31~QN42... NチャネルのMISFET。



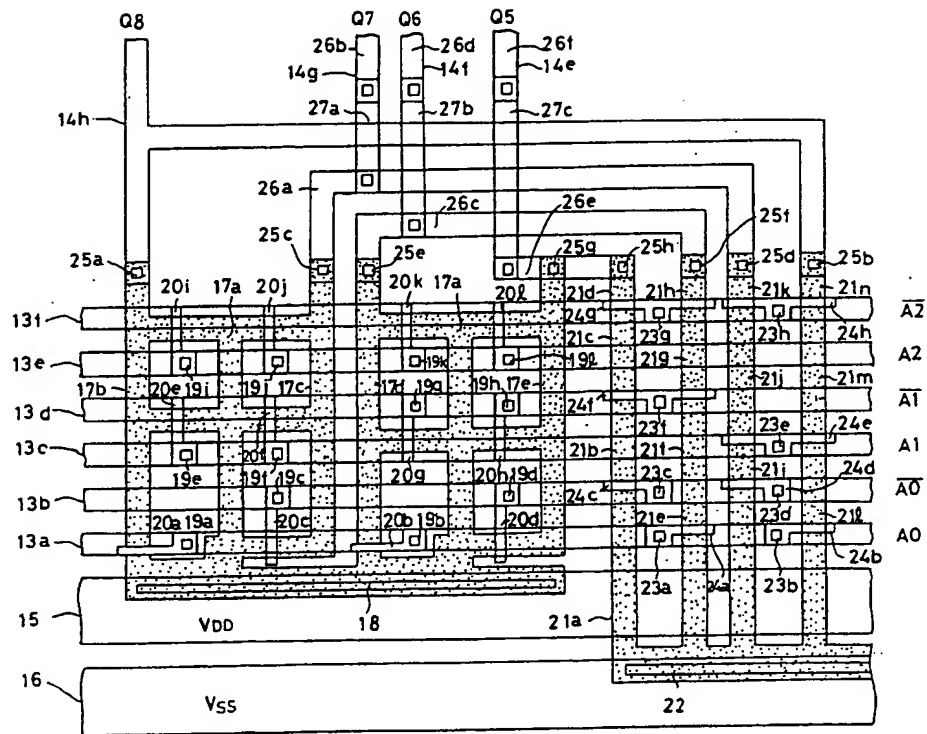
第1図



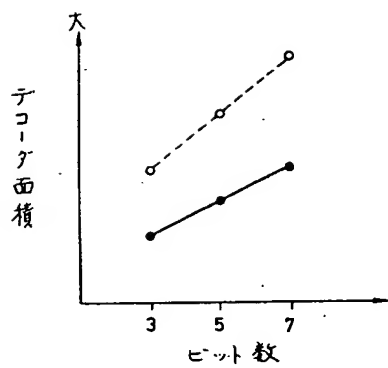
第2図



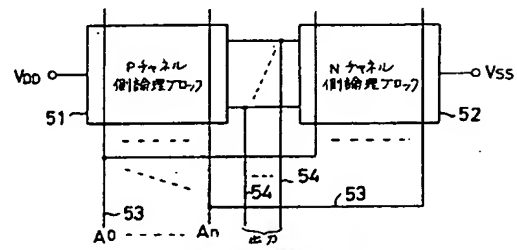
第3図



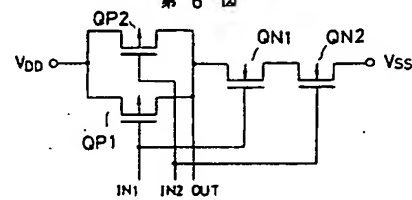
第 4 図



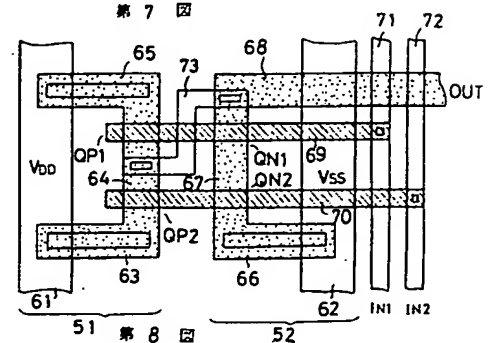
第 5 図



第 6 図



第 7 図



第 8 図